

(11)特許出願公開番号
特開2003-69412
(P2003-69412A)

(43)公開日 平成15年3月7日(2003.3.7)

(51) Int.Cl.⁷
H 0 3 K 19/0175

識別記号

F I
H 0 3 K 19/00

テーマート(参考)

101F 5J056

審査請求 未請求 請求項の数21 O L (全 10 頁)

(21)出願番号 特願2002-220083(P2002-220083)

(22)出願日 平成14年7月29日(2002.7.29)

(31)優先權主張番号 2001-048289

(32)優先日 平成13年8月10日(2001.8.10)

(33)優先權主張国 韓国 (KR)

(71)出願人 390019839

三星電子株式会社

大韓民國京畿道水原市八達區梅灘洞416

(72) 発明者 具 京 会

大韓民国京畿道水原市八達区遠川洞 遠川

住公2 団地207棟702号

(72)發明者 徐 振 豪

大韓民国ソウル特別市銅雀区上道洞412番

地 上道現代アパート101棟601号

(74) 代理人 100086368

弁理士 萩原 誠

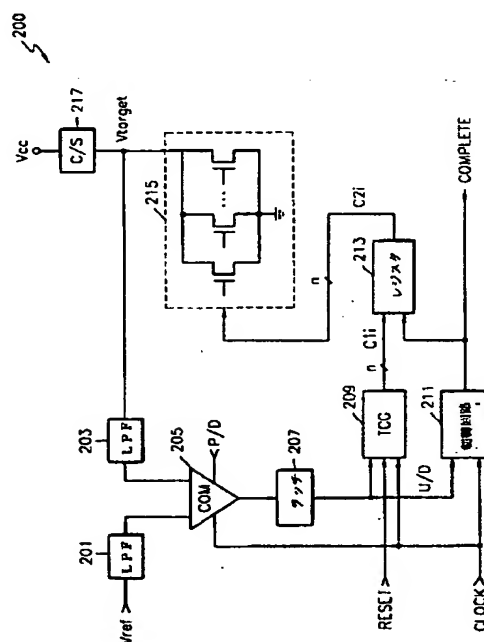
最終頁に続く

(54) 【発明の名称】 インピーダンス制御回路

(57) 【要約】

【課題】 外部に外部抵抗を取り付けずに、内部に設けられた電流源を用いて半導体装置及び伝送媒質間のインピーダンスを整合させるインピーダンス制御回路を提供する。

【解決手段】 電流源と、複数の第2制御信号及びターゲット出力電圧にตอบสนองして電流源から流入する電流を調整するインピーダンス調整回路と、回路の動作モードを決定する動作モード信号及びクロック信号に基づき、基準電圧をターゲット出力電圧と比較して比較信号を生じる比較器と、クロック信号にตอบสนองして比較器の出力信号に対応する複数の第1制御信号を出力するサーマルコード発生器と、比較信号の遷移回数をカウントし、所定の条件が満足されれば、比較器の動作を止めるためにクロック信号にตอบสนองして完了信号を生じる制御回路と、完了信号にตอบสนองして複数の第1制御信号をラッチすると同時に、複数の第2制御信号を出力するレジスタとを備える。



1

【特許請求の範囲】

【請求項 1】 一定電流を供給する電流源と、
前記電流源と接続され、複数の第 2 制御信号及びターゲット出力電圧に
応答して前記電流源から流入する電流を調整するインピーダンス調整回路と、
回路の動作モードを決定する動作モード信号及びクロック信号に基づき、
基準電圧と前記ターゲット出力電圧とを比較して比較信号を生じる比較器と、
前記比較信号及びクロック信号を受信し、前記クロック信号に応答して前記比較器の出力信号に対応する複数の第 1 制御信号を出力するサーマルコード発生器と、
前記比較信号及び前記クロック信号を受信し、前記比較信号の遷移回数をカウントし、所定の条件が満足されれば、前記比較器の動作を止めるために前記クロック信号に応答して完了信号を発生させる制御回路と、
前記完了信号に応答して複数の前記第 1 制御信号をラッチすると同時に、
複数の前記第 2 制御信号を出力するレジスタとを備えることを特徴とするインピーダンス制御回路。

【請求項 2】 請求項 1 に記載のインピーダンス制御回路において、

前記比較器は、所定期間出力信号を保持し、一定電圧を有する前記比較信号を出力するラッチ回路をさらに備えることを特徴とするインピーダンス制御回路。

【請求項 3】 請求項 1 に記載のインピーダンス制御回路において、

前記インピーダンス制御回路は、前記基準電圧の高周波雑音をフィルタリングして前記比較器の一方の入力端子に伝える第 1 低域通過フィルタと、

前記比較器出力電圧の高周波雑音をフィルタリングして前記比較器の他方の入力端子に伝える第 2 低域通過フィルタとを備えることを特徴とするインピーダンス制御回路。

【請求項 4】 請求項 1 に記載のインピーダンス制御回路において、

前記サーマルコード発生器は、リセット信号に応じて初期化され、前記クロック信号に基づき複数の前記第 1 制御信号をラッチして出力するラッチ部と、

フィードバックされた複数の前記第 1 制御信号を受信し、前記複数の第 1 制御信号のうち連続した 2 つの制御信号間の論理演算により生じる複数の第 3 制御信号を出力する論理部と、

前記比較器の出力信号に応答して前記複数の第 3 制御信号をスイッチングして前記ラッチ部に複数の第 4 制御信号を伝えるスイッチング部とを備えることを特徴とするインピーダンス制御回路。

【請求項 5】 請求項 4 に記載のインピーダンス制御回路において、

前記論理部は、前記複数の第 1 制御信号のうち第 1 制御信号の位相を反転させる第 1 インバータと、

2

前記第 1 制御信号のうち 2 つの連続した信号を受信し、複数の前記第 3 制御信号を出力する複数の NAND ゲートとを備えることを特徴とするインピーダンス制御回路。

【請求項 6】 請求項 4 に記載のインピーダンス制御回路において、

前記スイッチング部は、前記出力信号を反転させる第 2 インバータと、

前記出力信号に応答して前記複数の第 3 制御信号を反転させる複数のインバータとを備えることを特徴とするインピーダンス制御回路。

【請求項 7】 請求項 6 に記載のインピーダンス制御回路において、

前記複数のインバータは、第 1 ノードの信号を反転させて出力する第 3 インバータと、

第 2 ノードの信号を反転させて出力する第 4 インバータと、

第 $(N-1)$ (ここで、 N は整数) ノードの信号を反転させて出力する第 $(N+1)$ インバータと、

第 N ノードの信号を反転させて出力する第 $(N+2)$ インバータと、

前記比較器の出力信号に応答して第 1 接地電源を前記第 1 ノードに供給する第 1 スイッチと、

前記第 2 インバータの出力信号に応答して前記論理部の前記第 1 NAND ゲートの出力信号を前記第 1 ノードに供給する第 2 スイッチと、

前記比較器の出力信号に応答して前記論理部の前記第 1 インバータの出力信号を前記第 2 ノードに供給する第 3 スイッチと、

前記第 2 インバータの出力信号に応答して前記論理部の前記第 2 NAND ゲートの出力信号を前記第 2 ノードに供給する第 4 スイッチと、

前記比較器の出力信号に応答して前記論理部の前記第 1 NAND ゲートの出力信号を前記第 3 ノードに供給する第 5 スイッチと、

前記第 2 インバータの出力信号に応答して前記論理部の前記第 3 NAND ゲートの出力信号を前記第 3 ノードに供給する第 6 スイッチと、

前記比較器の出力信号に応答して前記論理部の前記第 $(N-3)$ NAND ゲートの出力信号を前記第 $(N-1)$ ノードに供給する第 $(2(N-1)-1)$ スイッチと、

前記第 2 インバータの出力信号に応答して前記論理部の前記第 $(N-1)$ NAND ゲートの出力信号を前記第 $(N-1)$ ノードに供給する第 $(2(N-1))$ スイッチと、

前記比較器の出力信号に応答して前記論理部の前記第 $(N-2)$ NAND ゲートの出力信号を前記第 N ノードに供給する第 $(2N-1)$ スイッチと、

前記第 2 インバータの出力信号に応答して他方の供給電

50

3

源を前記第Nノードに供給する第2Nスイッチとを備えることを特徴とするインピーダンス制御回路。

【請求項8】 請求項4に記載のインピーダンス制御回路において、

前記ラッチ部は複数のフリップフロップを備えることを特徴とするインピーダンス制御回路。

【請求項9】 請求項4に記載のインピーダンス制御回路において、

前記複数のフリップフロップは前記リセット信号に応じて初期化され、前記クロック信号にตอบสนองして前記複数の第4制御信号を受信してラッチすることを特徴とするインピーダンス制御回路。

【請求項10】 請求項1に記載のインピーダンス制御回路において、

前記制御回路は、前記出力信号の論理遷移回数をカウントするカウンタと、

前記クロック信号にตอบสนองして前記カウンタによりカウントされた数をラッチし、前記完了信号を出力するフリップフロップとを備えることを特徴とするインピーダンス制御回路。

【請求項11】 請求項1に記載のインピーダンス制御回路において、

前記レジスタは、前記複数の第1制御信号を受信し、前記完了信号にตอบสนองして前記複数の第2制御信号を生じる複数のフリップフロップを備えることを特徴とするインピーダンス制御回路。

【請求項12】 請求項1に記載のインピーダンス制御回路において、

前記インピーダンス調整回路は複数のMOSトランジスタを含み、各々の前記複数のMOSトランジスタは第1端子、第2端子及びゲートを備えるが、

前記第1端子は電流源に接続され、前記第2端子は第1接地電源に接続され、前記ゲートは前記複数の第2制御信号にตอบสนองして第2接地電源又は出力電圧に接続されるスイッチに連結されることを特徴とするインピーダンス制御回路。

【請求項13】 請求項12に記載のインピーダンス制御回路において、

前記複数のMOSトランジスタは幅及び長さの割合が同じゲートを備えることを特徴とするインピーダンス制御回路。

【請求項14】 請求項1に記載のインピーダンス制御回路において、

前記インピーダンス調整回路はインバータ、供給電源に接続されたプルアップトランジスタ、及び接地電源に接続されたプルダウントランジスタを備え、

前記インバータ及び前記プルダウントランジスタは前記複数の第2制御信号を受信することを特徴とするインピーダンス制御回路。

【請求項15】 請求項1に記載のインピーダンス制御

4

回路において、

前記インピーダンス調整回路は、一端が前記電流源に接続され、他端が第1接地電源に接続され、ゲートで出力信号を受信する第1MOSトランジスタと、

前記レジスタの第2制御信号のうち該当する一つの制御信号に基づき、前記出力電圧又は前記第1接地電源を選ぶ第1スイッチと、

一端が前記電流源に接続され、他端が前記第1接地電源に接続され、ゲートで前記第1スイッチにおいて選ばれた信号を受信する第2MOSトランジスタと、

前記第2制御信号のうち該当する一つの制御信号に基づき、前記出力電圧又は前記第1接地電源を選ぶ第2スイッチと、

一端が前記電流源に接続され、他端が前記第1接地電源に接続され、ゲートで前記第2スイッチにおいて選ばれた信号を受信する第3MOSトランジスタと、

前記レジスタの第2制御信号のうち該当する一つの制御信号に基づき、前記出力電圧又は前記第1接地電源を選ぶ第Nスイッチ（ここで、Nは整数）と、

一端が前記電流源に接続され、他端が前記一方の供給電源に接続され、ゲートで前記第Nスイッチにおいて選ばれた信号を受信する第(N+1)MOSトランジスタとを備えることを特徴とするインピーダンス制御回路。

【請求項16】 請求項1に記載のインピーダンス制御回路において、

前記所定の条件は、前記比較器の前記出力電圧が連続的に4回遷移される論理値を有する場合であることを特徴とするインピーダンス制御回路。

【請求項17】 請求項1に記載のインピーダンス制御回路において、

前記電流源はバンドギャップレファレンス、演算増幅器、負荷抵抗、及び2つのMOSトランジスタを備え、前記演算増幅器の2つの入力の前記バンドギャップレファレンス及び前記負荷抵抗に接続され、前記第1MOSトランジスタの一端は前記供給電源に接続され、前記第1MOSトランジスタの他端は前記負荷抵抗に接続され、

前記第1MOSトランジスタのゲートは前記演算増幅器に接続され、

前記第2MOSトランジスタの一端は前記供給電源に接続され、

前記第2MOSトランジスタの他端は前記比較出力電圧に接続され、

前記第2MOSトランジスタのゲートは前記第1MOSトランジスタのゲートに接続されることを特徴とするインピーダンス制御回路。

【請求項18】 基準電圧を電流源とインピーダンス調整回路との間において生じた比較出力電圧と比較して出力信号を生じる段階と、

クロック信号にตอบสนองして前記出力信号に対応する複数の

5

第1制御信号を出力する段階と、
完了信号にตอบสนองして複数の第1制御信号をラッチして複数の第2制御信号を生じる段階と、
前記基準電圧を比較出力電圧と一致させるために、複数の第2制御信号にตอบสนองして電流を調整する段階とを含むことを特徴とするインピーダンス制御回路の動作方法。

【請求項19】 請求項18に記載のインピーダンス制御回路の動作方法において、

基準電圧の高周波ノイズをフィルタリングする段階と、
前記比較出力電圧の高周波ノイズをフィルタリングする段階と

を含むことを特徴とするインピーダンス制御回路の動作方法。

【請求項20】 請求項18に記載のインピーダンス制御回路の動作方法において、

前記比較信号は、前記出力信号の論理値遷移回数をカウントする段階と、

前記クロック信号にตอบสนองして前記論理値遷移回数をラッチすることにより前記完了信号を生じる段階とにより生じることを特徴とするインピーダンス制御回路の動作方法。

【請求項21】 請求項18に記載のインピーダンス制御回路の動作方法において、

前記電流調整段階は、前記複数の第2制御信号にตอบสนองして、並列接続された複数のMOSトランジスタのターンオン又はターンオフにより行われることを特徴とするインピーダンス制御回路の動作方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置の出力駆動装置に係り、特に、出力駆動装置と外部システムとのインピーダンス整合のためのインピーダンス制御回路に関する。

【0002】

【従来の技術】 一般に、半導体装置を用いたシステムは、プリント回路基板（Printed Circuit Board、以下、PCB）に半導体装置を取り付けて用いる。半導体装置のデータを外部システムに送るためにPCBなどの伝送媒質を用いる時、伝送媒質及び半導体装置間のインピーダンス整合がなされなければ、半導体装置の出力データが伝送媒質に伝わるとたん、データの歪みが起こる。

【0003】 このため、半導体装置の出力端子である出力駆動装置の出力インピーダンスとPCBなどの伝送媒質の入力インピーダンスとの間のインピーダンスを整合させるために、半導体装置の外部に所定の小さい抵抗を接続させる方法を用いる。併せて、半導体装置の内部には外部抵抗を用いて出力駆動装置の出力インピーダンスを調整するインピーダンス制御回路を備える。

【0004】 図1は、従来のインピーダンス制御回路に

6

対するブロック図である。図1を参照すれば、インピーダンス制御回路100は、第1抵抗R1、第2抵抗R2、2つの低域通過フィルタ（LPF）101及び103、比較器（COM）105、フリップフロップ107、リングオシレータ（R/O）109、インピーダンス調整回路111及びアップ/ダウンカウンタ（U/Dカウンタ）113を備える。

【0005】 インピーダンス調整回路111は、ゲートの幅及びゲートの長さの比（W/L）が相異なる複数のトランジスタ1111～1115が並列接続されている。複数のトランジスタのゲートは各々アップ/ダウンカウンタ113の複数の信号に接続されて動作する。インピーダンス制御回路は半導体装置の内部（点線の内部）に設けられ、インピーダンス制御回路は半導体装置の外部（点線の外部）に使用者により設けられる外部抵抗Rexに依りて動作する。

【0006】 インピーダンス制御回路100の動作は、下記の通りである。第1抵抗R1及び第2抵抗R2を供給電源Vccと接地電源GNDとの間に直列接続させる。第1抵抗R1及び第2抵抗R2の抵抗比を用いて所望の基準電圧Vrefを生じる。外部抵抗Rexを半導体装置のピン115に接続させ、ターゲット出力電圧Vtargetを生じる。

【0007】 半導体装置の内部において生じた基準電圧Vref及びインピーダンス制御回路100にピンを介して接続された外部抵抗Rexにより生じた出力電圧Vtargetには各々供給電源Vccによる高周波雑音が含まれている。これら雑音を除去するために、これら基準電圧Vref及び出力電圧Vtargetを各々LPF101及び103に通す。LPF101及び103を通った基準電圧Vref及び出力電圧Vtargetは比較器105において比較される。比較器105における比較結果はR/O109の出力信号に基づき動作するフリップフロップ107に貯蔵される。

【0008】 アップ/ダウンカウンタ113は、フリップフロップ107に貯蔵された比較器105の比較結果を受信し、インピーダンス調整回路111に含まれた複数のトランジスタ1111～1115のゲートを制御する複数の制御信号を生じる。アップ/ダウンカウンタ113の複数の制御信号に基づき開閉される複数のトランジスタの数によって出力電圧Vtargetが調整される。

【0009】 半導体装置の出力端子のうちシステムの構成上必要とされる全ての出力端子が出力電圧Vtargetとならなければならない。このため、出力電圧Vtargetを生じたアップ/ダウンカウンタ113の複数の制御信号は、半導体装置の該当出力端子を構成する出力駆動トランジスタに伝わる。この伝わった複数の制御信号を用いて出力駆動トランジスタの開閉を調整することにより、伝送媒質であるPCB間のインピーダンス

7

を一致させる。しかしながら、図1に示された如き従来のインピーダンス制御回路は、外部抵抗 R_{ex} を用いる必要があるという短所がある。外部抵抗の場合、たとえ精密な個別の抵抗を用いたとしても、目的とする抵抗値に比べて少なくとも約±5%の誤差は生じることになる。

【0010】ところで、かかる外部抵抗を複数用いる場合、複数の外部抵抗の誤差が相異なるがゆえに、全体システムを考慮すれば、このような誤差は半導体装置を設計する上で相当負担になる。さらに、外部抵抗はPCBなどに取り付けなければならないが、半導体装置の出力信号のうち外部抵抗を用いるべき半導体端子の数が増えるほど外部抵抗の数も増えてくる。これは、PCBの面積を広める原因となる。

【0011】

【発明が解決しようとする課題】そこで、本発明が解決しようとする技術的課題は、半導体装置の外部に外部抵抗を取り付けなくても、半導体装置の内部に設けられた電流源を用いて半導体装置及び伝送媒質（例えば、PCB）間のインピーダンスを整合させることができるインピーダンス制御回路を提供するところにある。

【0012】

【課題を解決するための手段】技術的課題を達成するために、本発明の実施形態によれば、インピーダンス制御回路は、電流源、インピーダンス調整回路、比較器、サーマルコード発生器、制御回路及びレジスタを備える。電流源は、半導体装置の内部に設けられて一定電流を供給する。インピーダンス調整回路は、電流源と直列接続され、複数の第2制御信号に基づき電流源から流入する電流量を調整する。比較器は、回路の動作モードを決定する動作モード信号及びクロック信号に基づき、半導体装置の内部に設けられた基準電圧回路からの基準電圧及び電流源とインピーダンス調整回路とが出合うノードの電圧である比較出力電圧との差電圧を比較する。

【0013】サーマルコード発生器は、リセット信号に応じて初期化され、比較器の出力信号及びクロック信号を受信し、クロック信号に基づき比較器の出力信号に対応する複数の第1制御信号を出力する。制御回路は、比較器の出力信号及びクロック信号を受信し、比較器の出力信号の論理値が遷移する回数をカウントし、所定の条件が満足されれば、クロック信号に基づき完了信号を生じる。レジスタは、完了信号にตอบสนองして複数の第1制御信号をラッチする同時に、複数の第2制御信号を出力する。

【0014】

【発明の実施の形態】以下、添付した図面に基づき、本発明の望ましい実施形態を説明することによって本発明を詳細に説明する。図中、同一の要素には同一の符号は使用した。図2は、本発明に係るインピーダンス制御回路のブロック図である。図2を参照すれば、インピーダ

8

ンス制御回路200は、電流源(C/S)217と、インピーダンス調整回路215と、COM 205と、サーマルコード発生器(TCG)209と、制御回路211及びレジスタ213を備える。

【0015】C/S 217は、半導体装置の内部に設けられて一定レベルの電流を供給する。インピーダンス調整回路215は、電流源217と直列接続され、複数の第2制御信号C2iに基づき電流源217から流入する電流の量を調整する。COM 205は、回路の動作モードを決定する動作モード信号P/D及びクロック信号CLOCKに基づき、基準電圧回路（図示せず）からの基準電圧Vref及び電流源217とインピーダンス調整回路215とが出合うノードの電圧である比較出力電圧Vtargetとの差電圧を比較する。サーマルコード発生器209は、リセット信号RESETに応じて初期化され、比較器205の出力信号U/D及びクロック信号CLOCKを受信し、クロック信号CLOCKに基づき比較器205の出力信号U/Dに対応する複数の第1制御信号C1i（ここで、iは整数）を出力する。

【0016】制御回路211は、比較器205の出力信号U/D及びクロック信号CLOCKを受信し、比較器205の出力信号U/Dの論理値が遷移する回数をカウントし、所定の条件が満足されれば、クロック信号CLOCKに基づき完了信号COMPLETEを生じる。レジスタ213は、完了信号COMPLETEにตอบสนองして複数の第1制御信号C1iをラッチすると同時に、複数の第2制御信号C2iを出力する。基準電圧Vref及び比較出力電圧Vtargetは、高周波クロック信号に基づき生じる雑音を含んでいるので、各々低域通過フィルタ201及び203を介して比較器205の入力端子に印加されることが望ましい。

【0017】比較器205の出力信号は基準電圧Vref及び比較出力電圧Vtargetによって絶えず変わるため、所定期間一定値を貯蔵且つ出力するためにラッチ回路207を用いても良い。特に、本発明においては、比較器205が動作モード信号P/Dにตอบสนองして休止状態に入った時、比較器205の出力はラッチ回路207によって所定時間ラッチされた後に出力される場合もある。本発明に関する説明を単純化するために、第1制御信号C1i及び第2制御信号C2iをいずれも8つの信号として仮定する。

【0018】図3は、図2に示されたサーマルコード発生器の内部回路図である。図3を参照すれば、サーマルコード発生器209は、論理部310、スイッチング部330及びラッチ部350を備える。論理部310は、フィードバックされた複数の第1制御信号C11~C18、（以下、C1i）（ここで、iは整数）を受信し、複数の第1制御信号C1iのうち連続した2つの制御信号間を各々演算した複数の信号を出力する。論理部310は、第1インバータ3101及び第1NANDゲート

9

3102～第7 NANDゲート3108を備える。

【0019】第1インバータ3101は、第1番目の制御信号C11の位相を反転させる。第1 NANDゲート3102は、第1番目の制御信号C11及び第2番目の制御信号C12にตอบสนองする。第2 NANDゲート3103は、第2番目の制御信号C12及び第3番目の制御信号C13にตอบสนองする。第3 NANDゲート3104～第6 NANDゲート3107も同様である。最後に、第7 NANDゲート3108は、第7番目の制御信号C17及び第8番目の制御信号C18にตอบสนองする。

【0020】スイッチング部330は、比較器の出力信号U/Dに基づき、論理部310の複数の信号をスイッチングしてラッチ部350に伝える。スイッチング部330から出力される複数の信号の各々は、少なくとも一つの以前の信号の状態を考慮した信号であることが望ましい。機能を行うために、スイッチング部330は、複数のインバータ3301～3309及び複数のスイッチ3310～3325を備える。

【0021】第2インバータ3301は、比較器の出力信号U/Dを反転させて出力する。第3インバータ3302は、第1ノードN1の信号を反転させて出力する。第4インバータ3303は、第2ノードN2の信号を反転させて出力する。同様に、第10インバータ3309は、第8ノードN8の信号を反転させて出力する。

【0022】第1スイッチ3310は、比較器の出力信号U/Dにตอบสนองして接地電源GNDを第1ノードN1に供給する。第2スイッチ3311は、第2インバータ3301の出力信号U/DBにตอบสนองして第1 NANDゲート3102の出力信号を第1ノードN1に供給する。第3スイッチ3312は、比較器の出力信号U/Dにตอบสนองして第1インバータ3101の出力信号を第2ノードN2に供給する。第4スイッチ3313は、第2インバータの出力信号U/DBにตอบสนองして第2 NANDゲート3103の出力信号を第2ノードN2に供給する。第5スイッチ3314は、比較器の出力信号U/Dにตอบสนองして第1 NANDゲート3102の出力信号を第3ノードN3に供給する。第6スイッチ3315は、第2インバータの出力信号U/DBにตอบสนองして第3 NANDゲート3104の出力信号を第3ノードN3に供給する。第7スイッチ3316ないし第14スイッチ3323は、前述の方法と同様にして動作する。

【0023】第15スイッチ3324は、比較器の出力信号U/Dにตอบสนองして第6 NANDゲート3107の出力信号を第8ノードN8に供給する。第16スイッチ3325は、第2インバータの出力信号U/DBにตอบสนองして供給電源Vccを第8ノードN8に供給する。ラッチ部350は、リセット信号RESETに応じて初期化され、クロック信号CLOCKに基づき複数の第1制御信号C1iをラッチして出力する。

【0024】本発明によれば、ラッチ部350はリセッ

10

ト信号RESETに応じて初期化され、クロック信号CLOCKにตอบสนองしてスイッチング部330の第3インバータ3302ないし第10インバータ3309の出力信号を受信してラッチし、各々第1制御信号の一つ(C11～C18のうちいずれか一つ)を出力する複数のフリップフロップを備える。

【0025】図4は、図2に示された制御回路211の内部ブロック図である。図4を参照すれば、制御回路211は、カウンタ41及びフリップフロップ43を備える。カウンタ41は、比較器205の出力信号U/Dの数をカウントする。カウンタ41は、出力信号U/Dの論理値が連続的に4回遷移する時に出力の論理状態が変わるように設計されることが望ましい。フリップフロップ43は、クロック信号CLOCKに基づき、カウンタ41の出力信号をラッチして完了信号COMPLETEを出力する。

【0026】図5は、図2に示されたレジスタ213のブロック図である。図5を参照すれば、レジスタ213は複数のフリップフロップを備える。説明の簡略化のために、レジスタは8つのフリップフロップが用いられると仮定する。レジスタ213は完了信号COMPLETEにตอบสนองして第1制御信号C11～C18(あるいはC1i)をラッチし、第2制御信号C21～C28(あるいはC2i)を出力する。

【0027】図6は、図2に示されたインピーダンス調整回路215の内部回路図である。図6を参照すれば、インピーダンス調整回路215は、複数のスイッチsw1～sw8及び複数のMOSTランジスタM1～M9を備える。第1MOSTランジスタM1は、一端が比較出力電圧Vtargetのノードに接続され、他端が接地電源GNDに接続され、ゲートに出力電圧Voが印加される。

【0028】第2MOSTランジスタM2は、一端が比較出力電圧Vtargetのノードに接続され、他端が接地電源GNDに接続され、ゲートが第1スイッチsw1の一端に接続される。第1スイッチsw1は第2制御信号C2iのうち第1番目の信号C21に基づき、出力電圧Vo及び接地電源GNDのうち一つを選んで第2MOSTランジスタM2のゲートに供給する。

【0029】同様に、第3MOSTランジスタM3～第9MOSTランジスタM9は、一端が比較出力電圧Vtargetのノードに接続され、他端が接地電源GNDに接続され、ゲートが各々第2スイッチsw2～第8スイッチsw8に接続される。第2スイッチsw2～第8スイッチsw8は各々第2番目の信号C22～第8番目の信号C28に基づき、出力電圧Vo及び接地電源GNDのうち一つを選んで第3MOSTランジスタM3～第9MOSTランジスタM9のゲートに供給される。本発明によれば、複数のMOSTランジスタM1～M9は、望ましくは、幅及び長さの割合が同一である。

11

【0030】図7は、図2に示された電流源217の一実施の形態を示す回路図である。図7を参照すれば、電流源217は、バンドギャップレファレンス701、バンドギャップレファレンス701及び負荷抵抗 R_o に接続された演算増幅器702、及び2つのMOSトランジスタMP1及びMP2を用いて実現可能である。第1MOSトランジスタMP1の一端は供給電源 V_{cc} に接続され、第1MOSトランジスタMP1の他端は負荷抵抗 R_o に接続される。そして、第1MOSトランジスタMP1のゲートは演算増幅器702に接続される。

【0031】第2MOSトランジスタMP2の一端は供給電源 V_{cc} に接続され、第2MOSトランジスタMP2の他端は比較出力電圧 V_{target} に接続される。そして、第2MOSトランジスタMP2のゲートは第1MOSトランジスタMP1のゲートに接続される。このような回路は当業者によって容易に理解され、且つ解釈されるため、ここでは説明を省略する。結果的に、MOSトランジスタMP2を流れる電流の最高値は、MOSトランジスタMP1及びMOSトランジスタMP2の比を用いて設計者がいつでも調節可能である。

【0032】図2ないし図7を参照し、本発明に係るインピーダンス制御回路について説明する。本発明に係るインピーダンス制御回路は、電流源217から供給される電流をインピーダンス調整回路215において調節して、出力駆動装置が所望する出力インピーダンスを有する所定の制御信号を生じるようにしている。インピーダンス制御回路は、まず、比較出力電圧 V_{target} を基準電圧 V_{ref} と比較する。そして、比較出力電圧 V_{target} を基準電圧 V_{ref} と同じくするために、第2制御信号 $C2i$ を生じる。この時、比較器205、サマルコード発生器209、制御回路211及びレジスタ213が用いられる。

【0033】比較器205は、基準電圧 V_{ref} 及び比較出力電圧 V_{target} 間の電圧差を比較し、論理値“1”又は“0”を出力する。ここでは、説明を簡略化のために、基準電圧 V_{ref} が比較出力電圧 V_{target} よりも高ければ“0”を出力し、そうでなければ“1”を出力すると仮定する。ここで、比較出力電圧 V_{target} が基準電圧 V_{ref} よりも低いということは、インピーダンス調整回路215のインピーダンスが所望のインピーダンスに比べて小さく設定されているということを意味する。

【0034】この場合、並列接続されたMOSトランジスタのうちターンオフされるMOSトランジスタの数を増やしていきつつ、つまり、インピーダンス値を高めていきつつ比較出力電圧 V_{target} を基準電圧 V_{ref} と同じくする。比較器205は、クロック信号 $CLOCK$ の立ち上がりエッジにおいて電圧を比較すると仮定する。動作モード信号 P/D はパワーダウンイネーブル信号であり、本発明に係るインピーダンス制御回路が動

12

作していない場合に比較器205をパワーダウンモードにさせる信号である。

【0035】比較器205がパワーダウンモードである時に比較器205の出力値 U/D を保持しておくことを可能にするため、ラッチ回路207を比較器205の出力端子に接続させることが望ましい。比較器205の出力信号 U/D を用い、インピーダンス調整回路215の複数のMOSトランジスタ $M2 \sim M4$ を開閉する第2制御信号 $C2i$ を生じる。まず、出力信号 U/D の論理値が“0”である場合、すなわち、基準電圧 V_{ref} が比較出力電圧 V_{target} よりも高ければ、クロック信号 $CLOCK$ が印加される都度、第1制御信号 $C1i$ が順次“0”を出力するようにする。このような過程は出力信号 U/D が“1”になるまで続く。

【0036】第1制御信号 $C1i$ によって定まる第2制御信号 $C2i$ に基づき、インピーダンス調整回路215のMOSトランジスタが順次にターンオンされつつ比較器205の出力信号 U/D が“1”になる時がいつかはくる。この時、最後にターンオンされたMOSトランジスタをターンオフさせれば、比較器205の出力信号 U/D が“0”になるであろう。なぜならば、この辺りにおいて比較出力電圧 V_{target} と基準電圧 V_{ref} とが互いに近似的な値を有し、並列接続されたMOSトランジスタを一つ追加したり、あるいは削除することがの如き出力信号 U/D の論理値を変えるからである。

【0037】上述したように、インピーダンス調整回路215において、比較器205の出力信号 U/D が“0”である状態において、ターンオンされるMOSトランジスタが一つ追加されれば、比較器205の出力信号 U/D が“1”となり、次に、MOSトランジスタをターンオフさせれば、比較器205の出力信号 U/D が再び“0”となる論理値の遷移回数をカウントして第2制御信号 $C2i$ の論理値を最終的に決定する。

【0038】本発明においては、比較器205に入力される基準電圧 V_{ref} 及び比較出力電圧 V_{target} に混在している雑音により第1制御信号 $C1i$ に誤り（あるいは、第2制御信号の誤り）が生じることを防ぐために、第1制御信号（第2制御信号）の任意の信号の論理値が少なくとも2つ以上の以前の信号の論理値を考慮して定まるようにする。このような動作は、本発明に係るサマルコード発生器209において行われる。

【0039】図8は、本発明の実施形態によるインピーダンス制御回路の信号に対する波形図である。図8を参照すれば、出力信号 U/D が“0”であれば、比較出力電圧 V_{target} がクロック信号 $CLOCK$ の1周期ごとに所定の値ずつ高まるということが分かる。このような過程が続いていてから、出力信号 U/D が“1”になれば、クロック信号 $CLOCK$ の次の周期には比較出力電圧 V_{target} が所定の値だけ低くなる。低くなった比較出力電圧 V_{target} が基準電圧 V_{ref} よ

13

りも低ければ、出力信号U/Dが再び“0”になる。

【0040】同様に、比較出力電圧 V_{target} の最終的な変化が出力信号U/Dの連続的な遷移をもたらす場合、所定の期間を待ってから完了信号COMPLETEをイネーブルさせる。完了信号COMPLETEがイネーブルされれば、比較器はそれ以上動作しなくても良く、定まった第2制御信号C2iは必要な出力駆動トランジスタがある所へ与えられる。

【0041】図9は、本発明の他の実施形態によるインピーダンス調整回路(図2の215)の回路図である。図9を参照すれば、インピーダンス調整回路215は、インバータ250、供給電源 V_{cc} に接続されたプルアップトランジスタ252、及び接地GNDに接続されたプルダウントランジスタ254を備える。

【0042】もし、第2制御信号C2iの論理値が“1”であれば、プルアップトランジスタ252及びプルダウントランジスタ254はターンオンされる。これとは逆に、もし、第2制御信号C2iの論理値が“0”であれば、プルアップトランジスタ252及びプルダウントランジスタ254はターンオフされる。その結果、第2制御信号C2iは、各々の出力駆動トランジスタの出力インピーダンスと半導体装置の外部システムの入力インピーダンス Z_i とを一致させることができる。

【0043】本発明は図面に示された実施形態を参考として説明されたが、これは単なる例示的なものに過ぎず、この技術分野における当業者ならば、これより各種の変形及び均等な他の実施形態が可能であるという点は理解できであろう。よって、本発明の技術的な保護範囲は請求範囲上の技術的な思想によって定まるべきである。

* 30

14

* 【0044】

【発明の効果】以上述べたように、本発明のインピーダンス制御回路によれば、インピーダンス整合のために外部抵抗を用いないことから、PCBを小型化でき、特に、外部抵抗の誤差範囲を従来よりも一層精度よく調節可能な電流源を用いることから、さらに良好なインピーダンス整合結果を得ることができる。

【図面の簡単な説明】

【図1】従来技術によるインピーダンス制御回路のブロック図。

【図2】本発明に係るインピーダンス制御回路のブロック図。

【図3】図2のサマルコード発生器の内部回路図。

【図4】図2の制御回路の内部ブロック図。

【図5】図2のレジスタの内部回路に対するブロック図。

【図6】図2のインピーダンス調整回路の内部回路図。

【図7】図2の電流源の一実施の形態を示す回路図。

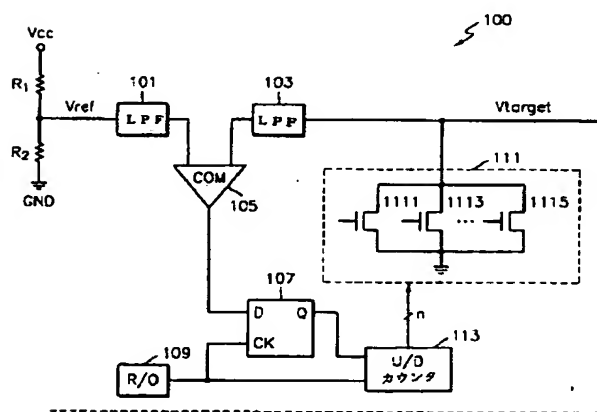
【図8】本発明の実施形態によるインピーダンス制御回路の信号に対する波形図。

【図9】図2のインピーダンス制御回路の他の実施の形態を示す回路図。

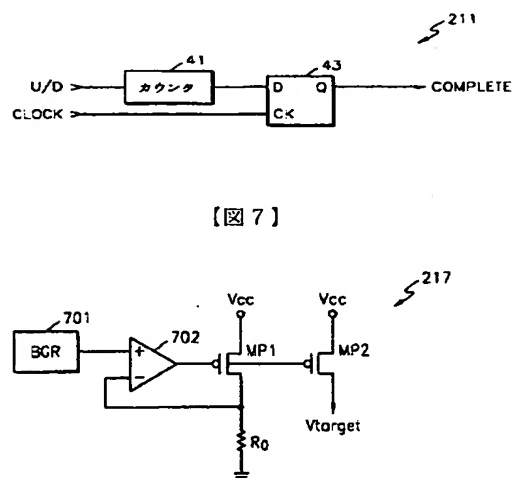
【符号の説明】

200 インピーダンス制御回路
205 比較器
209 サマルコード発生器
211 制御回路
213 レジスタ
215 インピーダンス調整回路
217 電流源

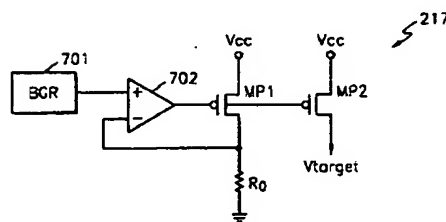
【図1】



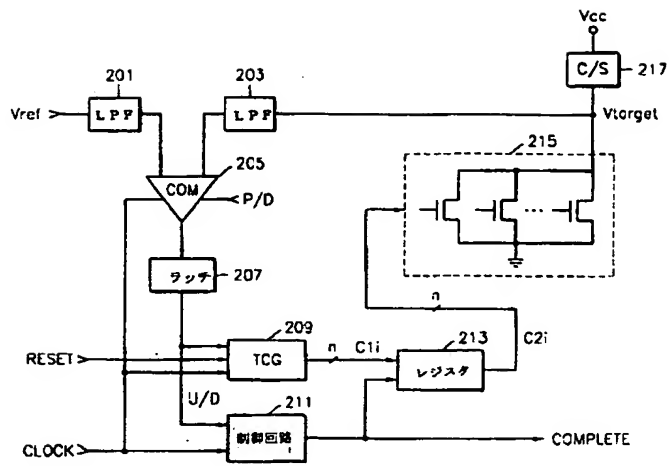
【図4】



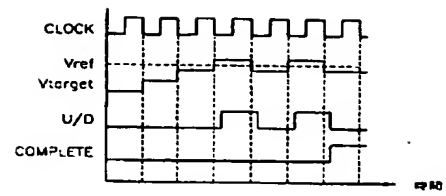
【図7】



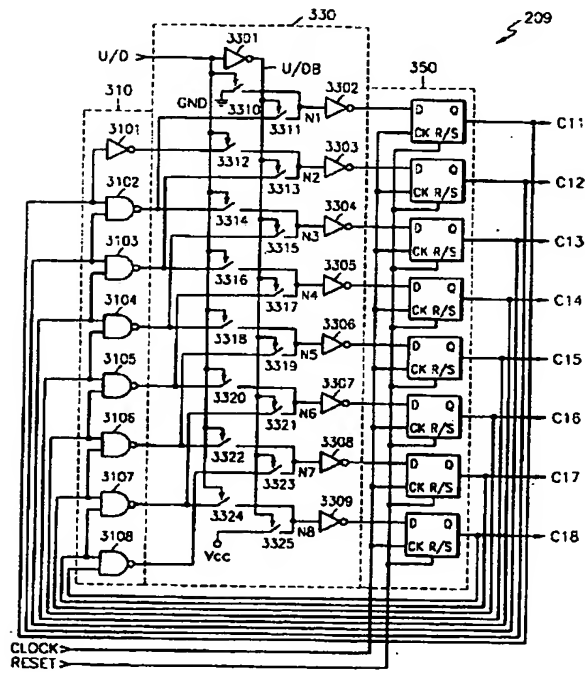
【図2】



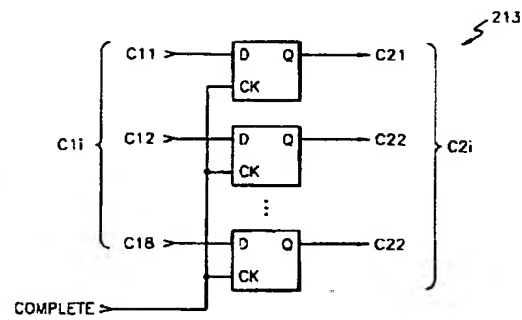
【図8】



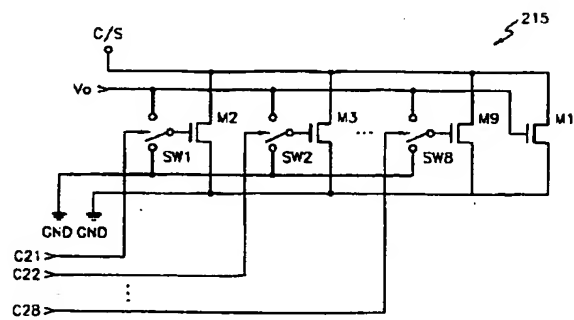
【図3】



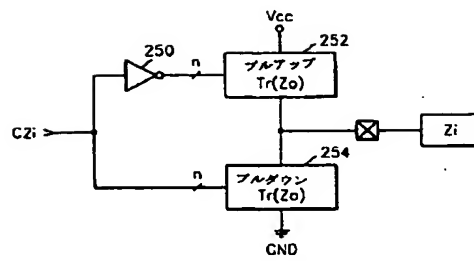
【図5】



【図6】



【図9】



フロントページの続き

Fターム(参考) 5J056 AA05 AA40 BB52 BB60 CC00
CC01 CC06 CC09 CC14 CC17
DD13 FF01 FF07 FF08 GG04
KK01